

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-185737

(43)Date of publication of application : 13.08.1991

(51)Int.Cl.

H01L 21/336
H01L 29/784

(21)Application number : 01-324298

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.12.1989

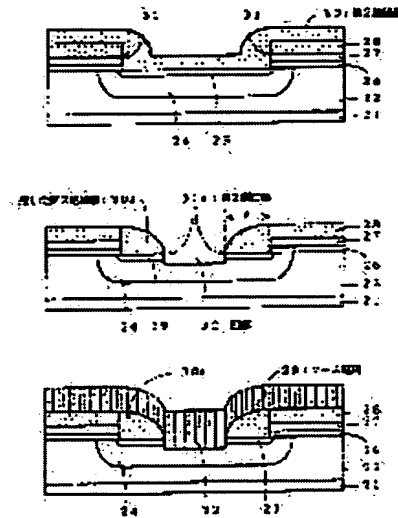
(72)Inventor : HOSHI MASAKATSU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To eliminate a danger of a mask alignment dislocation, to make an element easily fine, to arrange that a parasitic transistor is hard to turn on and to shorten a production process by a method wherein a second insulating film is left, in a self-aligned manner, on a sidewall of a laminated film in a first opening part, a second opening part is formed, a source region is etched by making use of the second insulating film as a mask and a recessed part which passes the source region and which reaches a base region is formed.

CONSTITUTION: The whole surface of a second insulating film 30 is etched back; one part 30a of the second insulating film is left, in a self-aligned manner, on a sidewall of a laminated film; a second opening part 31a is formed. In succession, a first N-source region 25 exposed in the second opening part 31a is etched by making use of the following as a mask: the laminated film which is composed of a first insulating film 28, a gate electrode film 27 and a gate insulating film 26; and the insulating film 30a which has been left on the sidewall of the laminated film. A recessed part 32 which passes the source region 25 and which reaches a P-base region 24 is formed. Thereby, a danger of a mask alignment dislocation is eliminated, an element can be made easily fine, an ON resistance can be reduced, a base resistance is reduced, a parasitic transistor is hard to turn on and a production process can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-185737

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月13日

H 01 L 21/336
29/784

8728-5F H 01 L 29/78 3 2 1 P

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-324298

⑰ 出 願 平1(1989)12月14日

⑱ 発 明 者 星 正 勝 神奈川県川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 諸 田 英二

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1 一導電型の半導体層から成るドレイン領域と、この半導体層内に形成された反対導電型のベース領域と、このベース領域内に形成された一導電型のソース領域と、このソース領域と前記ドレイン領域とに挟まれた前記ベース領域上にゲート絶縁膜を介して形成されたゲート電極とを有する半導体装置の製造方法において、

(イ) 前記一導電型半導体層の主表面上に、ゲート絶縁膜、ゲート電極膜及び第1の絶縁膜をこの順に積層する工程と、

(ロ) 第1絶縁膜、ゲート電極膜及びゲート絶縁膜から成る前記積層膜に、前記半導体層の主表面が露出する第1の開口部を形成する工程と、

(ハ) 第1開口部より不純物をドーブして前記半導体層内に反対導電型のベース領域を形成する工程と、

(ニ) 第1開口部より不純物をドーブして前記ベース領域内に一導電型のソース領域を形成する工程と、

(ホ) 前記半導体層の主表面上に第2の絶縁膜を堆積した後、第2絶縁膜をエッチングし、第1開口部の前記積層膜の側壁に第2絶縁膜を自己整合的に残して第2の開口部を形成する工程と、

(ヘ) 前記積層膜及びこの積層膜の側壁に残した前記第2絶縁膜をマスクとして、第2の開口部に露出するソース領域をエッチングし、このソース領域を貫通して前記ベース領域に達する凹部を形成する工程とを、

含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体装置の製造方法に関するもので、特に二重拡散形絶縁ゲート電界効果トランジスタ(Double Diffusion MOS FET、以下D-MOS FETと略記)等のMOS型電界効果トラン

ジスタ (MOS FET) の製造方法に使用される。

(従来の技術)

従来の MOS FET には、二重拡散を利用した D-MOS FET や V-Groove 構造の MOS FET がある。いずれの構造においても、素子のより一層の微細化により集積度の向上を計り、同一チップの大きさでのオン抵抗低減の努力が行なわれている。

第5図(a)は従来のNチャネルD-MOS FETの断面構造図である。同図において、符号1は半導体基板1上の高濃度N型層である。この高濃度N型層1上には、エピタキシャル成長により形成された低濃度のN型層2がある。このN型層2内には高濃度のP型ベース領域(P⁺ベース領域)3及びチャネルとなるP型ベース領域(Pベース領域)4が形成されている。更にPベース領域4内にはN型ソース領域(Nソース領域)5が形成されている。ドレイン領域となる低濃度N型層2とNソース領域5とに挟まれるP

のエミッタはNソース領域5、ベースはPベース領域4及びP⁺ベース領域3、コレクタはN型層2にそれぞれ対応する。

次に第6図を参照して、上記D-MOS FETの従来の製造方法の一例について説明する。同図(a)に示すように、高濃度N型層1及び低濃度のN型層2を有する半導体基板1の表面に酸化膜(SiO₂)11を形成する。続いてこの酸化膜11に開口部12を形成した後、この開口部よりP型不純物をドーピングしてP⁺ベース領域3を形成する。

次に同図(b)に示すように、酸化膜11を除去した後、ゲート絶縁膜(SiO₂)6を形成する。このゲート絶縁膜6上に多結晶シリコン膜7を堆積する。次に同図(c)に示すように、リソグラフィ技術により多結晶シリコン膜7に開口部13を形成した後、この開口部13内に露出したゲート絶縁膜6を通してP型不純物をイオン注入する。その後、拡散を行なうことにより開口部13の外側に広がるPベース領域4が形成

ベース領域4上にはゲート絶縁膜6を介してゲート電極膜7が形成されている。このゲート電極膜7は、絶縁膜8で覆われている。この絶縁膜8に設けられたソースコンタクト開口部14を介してソース電極層9が設けられている。又高濃度N型層1上にドレイン電極層10が設けられている。

このD-MOS FETは、ゲート電極膜7にしきい値電圧を超えるトリガー電圧を与えると、ゲート電極膜7直下のP型ベース領域にチャネルが形成され、オン状態になる。又ゲート電圧がしきい値電圧以下の場合にはオフ状態になる。

この従来の構造のD-MOS FETにおいては、Nソース領域5、Pベース領域4、P⁺ベース領域3及びN型層2とから成るNPN寄生トランジスタTrが存在する構造となっている。Nソース領域5直下のPベース領域4の抵抗をR_aとすればD-MOS FETとこの寄生トランジスタTrとは同図(b)に示す電気等価回路で表わすことができる。即ちこの寄生トランジスタTr

される。このPベース領域4の不純物濃度と拡散深さは、同図(c)に示すように、先に拡散させたP⁺ベース領域3のそれらに比較して小さくなっている。

次に同図(d)に示すように開口部13内のゲート絶縁膜6を除去し、リソグラフィ技術によりレジスト膜15を開口部13内に残し、続いて、開口部13内に露出する半導体基板にN型不純物をイオン注入する。続いて拡散を行ない、同図(d)に示すようにNソース領域5を形成する。

その後、同図(e)に示すように多結晶シリコン膜7の上に、例えばCVD法により層間絶縁膜8を形成した後、リソグラフィ技術により開口部14を形成し、更にソース電極層9を形成し、第5図(a)に示すD-MOS FETが得られる。

上記のように、従来のD-MOS FETの製造方法では、マスク合わせにより製造するので、マスク合わせずれを考慮した設計が必要である。即ち第5図(a)において、ゲート電極膜7とソースコンタクト開口部14との距離bはマスク合

わせずれを考慮して、少なくとも $1\mu\text{m}$ 以上必要であり、同様にソースコンタクト開口部14に露出したNソース領域5の距離 a も少なくとも $1\mu\text{m}$ 以上必要である。従って従来の製造方法により、オン抵抗を下げるために微細化する場合でも、マスク合わせずれがあるので、ゲート電極膜間の距離 l_s の縮小には限界があり、素子の微細化が困難であった。

又D-MOS FETはモータドライブ用やスイッチング・レギュレータ方式の電源用として用いられる。このようなし負荷動作をしているとき、スイッチオフすると、し負荷端に発生する大きな逆起電力が、ドレインとソースとの間に印加される。この逆起電力は、寄生トランジスタ T_r のコレクタとエミッタ間に印加されることになり、寄生トランジスタがオン動作して、D-MOS FETが破壊するという問題があった。この時、ベース抵抗 R_B には過渡的なベース電流が流れ、エミッタとベース間に電位差 V_{BE} が生じ、この電位差 V_{BE} がエミッタ・ベース接合の立上

り電圧を超えると寄生トランジスタはオンする。従ってベース抵抗 R_B が大きい程、より大きな電位差 V_{BE} が生じ寄生トランジスタ T_r が動作しやすく、破壊しやすくなる。しかし前記のようにマスク合わせずれがあるので、ソース領域の距離 $(a+b)$ の縮小には限界があり、ベース抵抗 R_B の低減には限界があった。

又従来のD-MOS FETは、Nソース領域5の直下に P^+ ベース領域3を形成してベース抵抗 R_B を小さくするようにしている。しかし高濃度の P^+ ベース領域3を、Nソース領域5の直下全面にわたって形成しようとする、マスク合わせずれがあるので、ゲートしきい値電圧を決めるチャネル領域濃度にこの P^+ ベース領域の濃度が影響を及ぼす場合があり、この方法によりベース抵抗 R_B を低減するのにも限界があった。

(発明が解決しようとする課題)

これまで述べたように従来の製造方法では、隣り合うゲート電極間の距離 (l_s) 或いはNソース領域の距離 $(a+b)$ を決めるためには、マス

ク合わせずれを考慮する必要がある。このためゲート電極間の距離 l_s の減少には限界があり、素子の微細化及び微細化に伴うオン抵抗の低減が難しいという課題がある。又マスク合わせずれのためNソース領域の距離 $(a+b)$ の縮小にも限界があり、且つNソース領域直下全面に P^+ ベース領域を形成することが難しく、ベース抵抗 R_B の低減には限界があり、寄生トランジスタ動作を抑えることが難しいという課題があった。

本発明の目的は、MOS FET等の製造方法において、マスク合わせずれの心配がなく、素子の微細化が容易であり、オン抵抗の低減が得られ、且つソース領域の距離の縮小等によりベース抵抗 R_B を低減し、寄生トランジスタがオンしにくくなると共に、製造工程を短縮できるMOS FETの製造方法を提供することである。

[発明の構成]

(課題を解決するための手段とその作用)

本発明の半導体装置の製造方法は、一導電型の半導体層から成るドレイン領域と、この半導体層

内に形成された反対導電型のベース領域と、このベース領域内に形成された一導電型のソース領域と、このソース領域と前記ドレイン領域とに挟まれた前記ベース領域上にゲート絶縁膜を介して形成されたゲート電極とを有する半導体装置の製造方法において、(イ)前記一導電型半導体層の主表面上に、ゲート絶縁膜、ゲート電極膜及び第1の絶縁膜をこの順に積層する工程と、(ロ)第1絶縁膜、ゲート電極膜及びゲート絶縁膜から成る前記積層膜に、前記半導体層の主表面が露出する第1の開口部を形成する工程と、(ハ)第1開口部より不純物をドーピングして前記半導体層内に反対導電型のベース領域を形成する工程と、

(ニ)第1開口部より不純物をドーピングして前記ベース領域内に一導電型のソース領域を形成する工程と、(ホ)前記半導体層の主表面上に第2の絶縁膜を堆積した後、第2絶縁膜をエッチングし、第1開口部の前記積層膜の側壁に第2絶縁膜を自己整合的に残して第2の開口部を形成する工程と、(ヘ)前記積層膜及びこの積層膜の側壁

に残した前記第2絶縁膜をマスクとして、第2の開口部に露出するソース領域をエッチングし、このソース領域を貫通して前記ベース領域に達する凹部を形成する工程とを、含むことを特徴とするものである。

上記製造方法において、第1開口部は、ベース領域及びソース領域形成のための不純物拡散窓である。チャネルの長さは前記(ハ)及び(ニ)記載の工程で、両領域の不純物の拡散長の差で決められる。前記(ホ)記載の工程において、第2開口部は、堆積された第2絶縁膜のほぼ全面を、望ましくは異方性エッチングによりエッチバックし、第1開口部の側壁に厚さ δ (第1図(e)参照)の第2絶縁膜の一部を残して形成される。即ち第2開口部は、結果的に第1開口部の側壁が内側に長さ δ だけ収縮した形状となる。又この長さ δ は、第1絶縁膜等から成る前記積層膜の厚さ又は第2絶縁膜の堆積厚さによって調節することができる。又この工程ではマスクを必要とせず、第2開口部は自己整合的に形成される。

ゲート絶縁膜26及び例えば多結晶シリコンから成るゲート電極膜27を形成し、例えばCVD法(Chemical Vapor Deposition)により第1の絶縁膜(SiO_2)28を厚さ $0.5\mu\text{m} \sim 3\mu\text{m}$ 堆積する(前記(イ)の工程)。次に同図(b)に示すようにPEP(Photo Engraving Process)技術により、第1絶縁膜28、ゲート電極膜27及びゲート絶縁膜26から成る積層膜に、N型層22の主表面が露出する第1の開口部31を形成する(前記(ロ)の工程)。次に例えばボロン(B)のようなP型不純物をドーブして拡散し、P型ベース領域(反対導電型ベース領域)24を形成する(前記(ハ)の工程)。次に同図(c)に示すように、第1開口部31より、例えばヒ素(As)のようなN型不純物をドーブして拡散し、第1のNソース領域25を形成する(前記(ニ)の工程)。次に同図(d)に示すように、例えばCVD技術により、酸化物(SiO_2)や多結晶シリコンから成る第2の絶縁膜30を厚さ $0.5\mu\text{m} \sim 4\mu\text{m}$ 堆積する。次に同図(e)に示す

上記(イ)ないし(ヘ)記載の工程を含む本発明の半導体装置の製造方法においては、例えば(ヘ)記載の凹部形成後、凹部を含む第2開口部に導電部材を充填し、ソース電極層を形成する等により半導体装置が得られる。本発明の製造方法では、ソース領域及びベース領域形成に際し、マスク合わせずれの心配がなく、素子の微細化が容易で、オン抵抗の低減が可能である。又微細化により、ベース抵抗が低減できるので、破壊に強く、更にマスク合わせ工程を削減できるので、製造工程を短縮できる。

(実施例)

本発明の製造方法について、NチャンネルD-MOS FETを例にとり詳述する。第1図(a)ないし(i)は本発明の第1実施例を示す断面図である。

第1図(a)に示すように、符号21は高濃度N型層であり、この高濃度N型層21上には例えばエピタキシャル成長により形成された低濃度のN型層22(一導電型半導体層)がある。更に

ように、例えば反応性イオンエッチング(RIE)等の異方性エッチングにより、第2絶縁膜30の全面をエッチバックし、前記積層膜の側壁に第2絶縁膜の一部30aを自己整合的に残し、第2の開口部31aを形成する(前記(ホ)の工程)。

この時、異方性エッチングに対して第1絶縁膜28よりエッチングされやすい物質を第2絶縁膜に使用した場合、エッチバックに際し、第1絶縁膜28がエッチングされずにすむので自己整合絶縁膜30aを形成しやすい。この自己整合的に形成される絶縁膜30aの側壁厚さ δ は、ゲート絶縁膜26、ゲート電極膜27及び第1絶縁膜28の合計膜厚によって制御でき、 δ は $0.5\mu\text{m} \sim 4\mu\text{m}$ となる。又この δ は、第2絶縁膜30の厚さによっても調整できる。引き続き、第1絶縁膜28、ゲート電極膜27及びゲート絶縁膜26から成る積層膜と、この積層膜の側壁に残した絶縁膜30aとをマスクとして、第2開口部31aに露出する第1のNソース領域25を、例えばドライエッチングによりエッチングし、この

ソース領域25を貫通してPベース領域24に達する凹部32を形成する(前記(へ)の工程); 次に同図(f)に示すように、ソース電極層29を形成し、D-MOS FETが得られる。

第2図は本発明の第2の実施例を示す断面図である。なお第1図と同符号は等しい部分又は対応する部分を表わし、説明を省略することもある(後述の第3図及び第4図に対しても同じ)。

本実施例においては、第1図(e)に示す工程、即ち第2開口部31aに凹部32を形成した後、この凹部より例えばボロン(B)のようなP型不純物を、イオンドーズ量 $10^{14} \sim 10^{15}$ atoms/cm²で、約30~100 keVの注入エネルギーによって注入拡散して、高濃度P⁺ベース領域23を形成した後、ソース電極層29を形成して、第2図に示すD-MOS FETが得られる。

このP⁺ベース領域23により、ベース領域とソース電極層29との電気接触がとりやすく、更にベース抵抗R_aの低減ができ、寄生トランジスタがオンしにくくなる。

載の凹部を形成する工程との間に他の工程を挟む例である。

本実施例では、第1実施例の第2開口部形成工程(第1図(d)及び(e)参照)を行なった後、第4図(a)に示すように第2開口部31aより例えばリン(P)のようなN型不純物を注入、拡散して第2のNソース領域25aを第1Nソース領域25より深く、Pベース領域24に達するように形成する。この時、第1Nソース領域25の形成に例えばヒ素(As)を、第2Nソース領域25aの形成に第1Nソース領域25のN型不純物より拡散係数の大きい例えばリン(P)を用いることにより、第4図(a)に示す2段ソース構造が得られる。又第1Nソース領域25の形成には、例えばイオンドーズ量を約 10^{14} atoms/cm²以下、イオン注入エネルギーを例えば40keV以下でN型不純物を注入、拡散して形成する。他方第2Nソース領域25aの形成には例えばイオンドーズ量を約 10^{15} atoms/cm²以上、イオン注入エネルギーを例えば50keV以上でN型不純物

第3図は本発明の第3の実施例を示す断面図である。本実施例においては、前記第2実施例で示した高濃度P⁺ベース領域23を形成した工程後、第1絶縁膜28及び側壁に残した絶縁膜30aを更に0.5~2 μ m エッチバックして第2開口部31aを広げ、第1ソース領域25の露出面積を増加させた後、ソース電極層29を形成して、第3図に示すD-MOS FETが得られる。この時、第2開口部31aを広げることにより、第1ソース領域25の露出が増した領域の距離 L' は、前記絶縁膜28及び30aのエッチバックの膜厚量に依存し、本実施例では0.5~2 μ mとなる。

本実施例の方法によれば、第2実施例で得られる効果のほかに、第1ソース領域25の露出領域が増し、第1Nソース25とソース電極層29との電気接触がとりやすくなる。

第4図は本発明の第4の実施例を示す断面図である。本実施例は特許請求の範囲第1項(ホ)記載の第2開口部を形成する工程と、同(へ)記

を注入、拡散して形成するというように、第1Nソース領域25より第2Nソース領域25aの不純物濃度を上げたり、イオン注入エネルギーを上げたりすることにより、第4図(a)に示す2段ソース構造が得られる。上述したような方法で第1Nソース領域の深さを例えば約1 μ m以下、第2Nソース領域の深さを例えば1 μ m~3 μ m形成した後、第2開口部31aに露出する第2Nソース領域を例えばドライエッチングによりエッチングして、第4図(b)に示すように第2Nソース領域25a直下のPベース領域24に達する凹部32を形成する。その後ソース電極層29を形成し同図(c)に示すD-MOS FETが得られる。

第4実施例では、ゲート電極膜27の下側のPベース領域24のチャネル長を短くすることなく、ソース領域とソース電極層29との電気接触がとりやすくなっている。

第1ないし第4実施例で説明したように、本発明によるD-MOS FETの製造方法において

は、第1開口部から自己整合的に第2開口部を形成するので、特に正確なマスク合わせを必要としないので、第1開口部のゲート電極膜間の距離 L_0 を $5\mu\text{m}$ 以下とすることも可能である。マスク合わせを必要とする従来の技術では製造しえなかった素子の微細化が容易で、これに伴い素子のオン抵抗が低減できる。同時にマスク合わせの必要がないので、ソース領域の距離 $(a+b)$ (第5図(a)参照)が $1\mu\text{m}$ 以下でも可能となり、ソース領域直下のベース抵抗 R_0 が低減でき、寄生トランジスタ T_r のオンによる素子破壊に対し強くなる。更にマスク合わせ工程の削減により製造工程の短縮ができる。

本発明の製造方法は、上記第1ないし第4実施例に限定されるものでなく、前記実施例に示す工程の一部を組み合わせた製造方法であっても差支えない。又本発明は、前記実施例で使用した各層の膜厚、不純物注入ドーズ量、注入エネルギー等の特定のパラメータに限定されない。又実施例としてD-MOS FETを取り上げたが、I

GBT等その他の半導体装置に対しても本発明を適用できることは勿論である。

[発明の効果]

これまで述べたように、本発明の製造方法によれば、マスク合わせずれの心配がなく、素子の微細化が容易であり、オン抵抗の低減が得られ、且つソース領域の距離の縮小等によりベース抵抗 R_0 を低減し、寄生トランジスタがオンしにくくなると共に製造工程が短縮できるD-MOS FET等の製造方法を提供することができる。

4. 図面の簡単な説明

第1図、第2図、第3図及び第4図はそれぞれ本発明の製造方法の第1、第2、第3及び第4実施例を示すD-MOS FETの断面図、第5図(a)は従来のD-MOS FETの断面図、同図(b)はその等価回路図、第6図は第5図(a)のD-MOS FETの従来の製造方法を示す断面図である。

22…一導電型半導体層又はドレイン領域、

23…反対導電型ベース領域(P^+ ベース領域)、

24…反対導電型ベース領域(P ベース領域)、

25…一導電型ソース領域(第1Nソース領域)、

25a…一導電型ソース領域(第2Nソース領域)、

26…ゲート絶縁膜、27…ゲート電極膜、

28…第1絶縁膜、29…ソース電極層、

30…第2絶縁膜、30a…残された第2絶縁膜、

31…第1開口部、31a…第2開口部、

32…凹部。

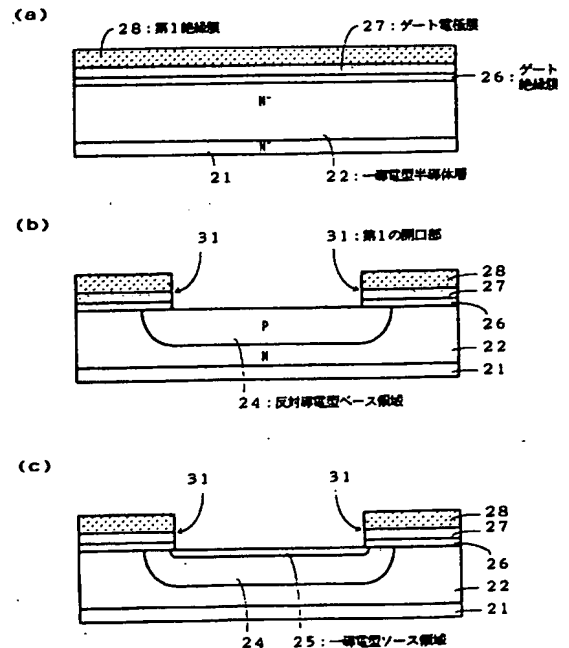
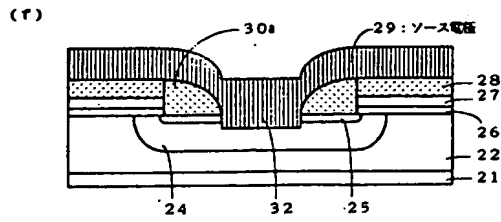
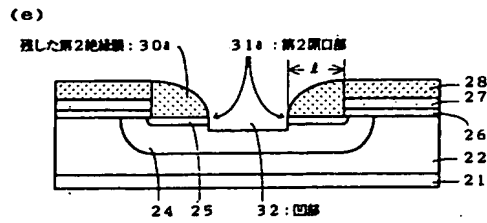
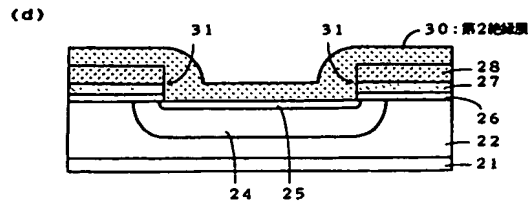


図1 (a) (b) (c)

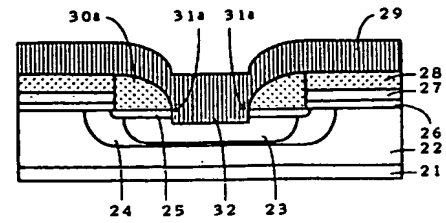
特許出願人 株式会社 東 芝

代理人 弁理士 諸田 英二

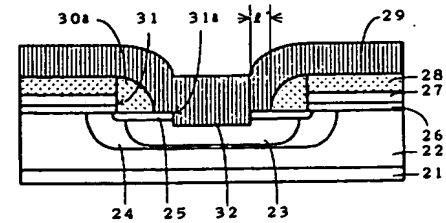




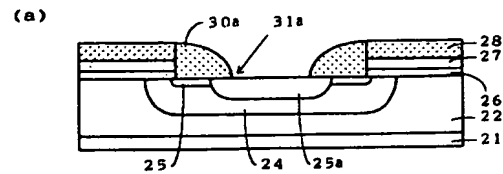
第 1 図 (2)



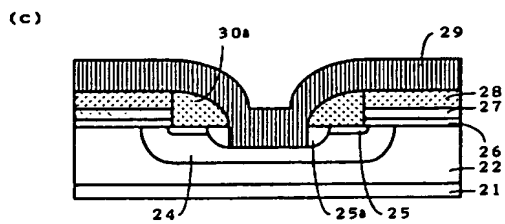
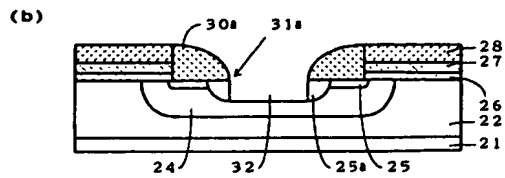
第 2 図



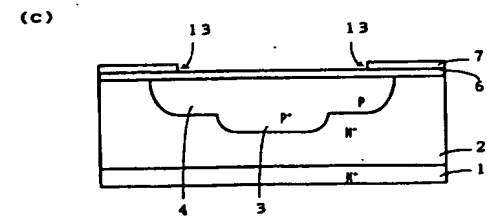
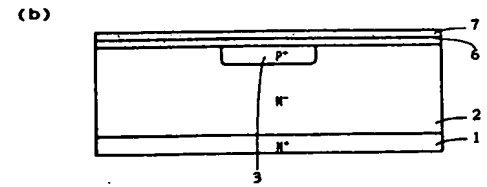
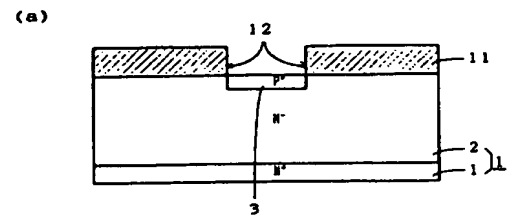
第 3 図



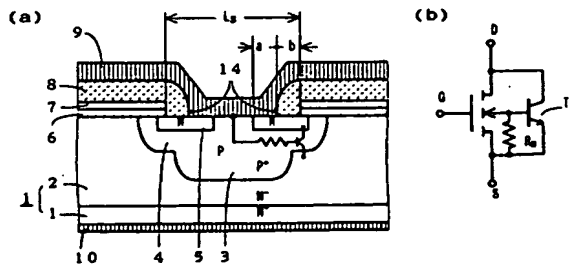
第 4 図 (1)



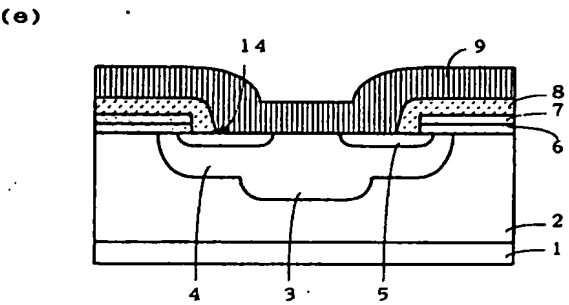
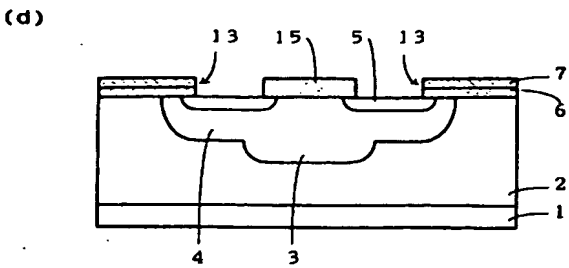
第 4 図 (2)



第 6 図 (1)



第 5 図



第 6 図 (2)